

## OPERATION OF MIS TRANSISTOR AND STRUCTURE AND MANUFACTURE THEREOF

Patent Number: JP61185972

Publication date: 1986-08-19

Inventor(s): FUKUMA MASAO

Applicant(s): NEC CORP

Requested Patent:  JP61185972

Application Number: JP19850025474 19850213

Priority Number(s):

IPC Classification: H01L29/78; H01L27/12

EC Classification:

Equivalents: JP2110851C, JP8012917B

### Abstract

**PURPOSE:** To realize sufficiently small OFF-current and comparatively large ON-current at the same time, by forming a source and drain on both sides of a narrower-tip groove and by contacting electrically a gate and semiconductor in a wider-tip groove of single crystalline thin films.

**CONSTITUTION:** In an SiO substrate 23, a groove (h) with a depth of 1μm and width of 5μm is ditched. After polysilicon of 1μm is deposited, it is single-crystallized. Boron is ion-implanted therein, resists are coated thereon, the surface of the SiO substrate 23 is exposed by etching back, and then a CVD SiO<sub>2</sub> film of 1μm is deposited. After the CVD SiO<sub>2</sub> film for inter-layer insulating is deposited, the entire SiO and SiO<sub>2</sub> are removed till the surface of the extending portion of the underlying SiO<sub>2</sub> substrate 24 is exposed with dry etching. Next, another contact holes are bored on the gate extending portion to form metal wiring 30. The gate and substrate connected electrically are used as input terminals and the source and drain are used as output terminals, signal transferring terminals or power source terminals. Thus OFF-current is made small and high driving capacity can be realized easily.

Data supplied from the esp@cenet database - I2



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭61-185972

⑬ Int.Cl.<sup>4</sup>

H 01 L 29/78  
27/12

識別記号

庁内整理番号

8422-5F  
7514-5F

⑭ 公開 昭和61年(1986)8月19日

審査請求 未請求 発明の数 3 (全6頁)

⑮ 発明の名称 MISトランジスタの動作方法及びMISトランジスタの構造及びその製造方法

⑯ 特願 昭60-25474

⑰ 出願 昭60(1985)2月13日

⑱ 発明者 福間 雅夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

MISトランジスタの動作方法及びMISトランジスタの構造及びその製造方法

2. 特許請求の範囲

(1) MISトランジスタに於て、電気的に接続されたゲートと基板を入力端子とし、ソース及びドレインを出力端子あるいは信号伝達端子とするか又は電源に接続することを特徴とするMISトランジスタの動作方法。

(2) ソース、ドレイン領域の直下に絶縁層を有し、半導体基板がこの絶縁層にかこまれながら下方に延びて側方に広がっており、さらに半導体基板の全体が絶縁層にかこまれ、ゲートと該半導体基板とが、アクティブ領域の外で電気的に接続されていることを特徴とするMISトランジスタの構造。

(3) 絶縁基板上にく形のみぞをドレイエッテン

グ法で形成し、全体に半導体薄膜をCVD法等で成長させた後、アニール法でこれを単結晶化し、平坦化材料とエッチバック法とを用いて先のみぞの中にのみ単結晶半導体を成し、さらに絶縁薄膜成長後、先のみぞの上にそのみぞ巾よりもせまいみぞをこの絶縁薄膜に形成し、選択的エピタキシャル法により半導体をこのせまいみぞ中にうめこみ、さらに、全体に半導体薄膜を成長させたあと各種アニール法により単結晶化し、この単結晶化薄膜のうち先のせまいみぞの上をMISトランジスタの基板とし、その両側にソース・ドレインを形成し、先の広いみぞ中の半導体とゲートを電気的にコンタクトすることを特徴とするMISトランジスタの製造方法。

3. 発明の詳細を説明

〔産業上の利用分野〕

本発明は動作電圧が低い場合に於ても充分なオン/オフ電流比と駆動能力が得られるMISトランジスタの動作方法と、この動作方法に適したMIS

トランジスタの構造とその製造方法に関する。

〔従来の技術〕

MISトランジスタの微細化に伴ない、高電界による問題を避けるためあるいは、消費電力を下げるために、電源電圧を低下させる必要が生じて来ている。しかしながら通常の動作方法では、単純に電源電圧を下げるに、オン／オフの電流比が取れなかったりあるいは駆動能力が落ちてしまい実用上大きな障害となる。

第6図に示す従来のCMOSインバータを例にとってその動作を示す。

図において、41はPMOSトランジスタ、42はNMOSトランジスタ、43は電源、44はアース、45は入力、46は出力である。

通常はNMOSトランジスタ42の基板は接地され、PMOSトランジスタ41の基板はドレインに接続されている。この状態では飽和状態に於けるドレン電流 $I_D$ は次式で表わされる。

$$I_D = K (V_D - V_T)^2$$

的に接続されたゲートと基板を入力端子とし、ソース及びドレンを出力端子あるいは信号伝達端子とするか、又は電源に接続することを特徴とする。本発明のMISトランジスタはソース、ドレン領域の直下に絶縁層を有し、半導体基板がこの絶縁層にかこまれながら下方に延びて側方に広がっており、さらに基板全体が絶縁層にかこまれ、ゲート5と該半導体基板とが、アクティブ領域の外で電気的に接続されていることを特徴としている。また、このMISトランジスタを製造する方法は、絶縁基板上にく形のみぞをドライエッチング法等で形成し、全体に半導体薄膜をCVD法等で成長させ、各種アーニール法でこれを単結晶化した後平坦化材料とエッチバック法とを用いて先のみぞの中にのみ単結晶半導体を残し、さらに全体に絶縁層を成長させ、先のみぞの上にのみぞ巾よりもせまいみぞをこの絶縁層上に形成し、選択的エピタキシャル法により半導体をこのせまいみぞ中にうめ込み、さらに半導体薄膜を成長させたあとアーニール法により単結晶化し、この単結晶薄膜のう

ここでKは比例定数、 $V_D$ は電源電圧、 $V_T$ は閾電圧である。

〔発明が解決しようとする問題点〕

したがって $V_D$ が $V_T$ 近くまで下がると、駆動能力は極端に減少する。

これを避けるために $V_T$ を下げると、オフ電流を充分下げる事ができなくなる。

すなわち、 $V_T$ 以下のゲート電圧では $I_D$ は $\exp(8VG/nKT)$ に比例するので(通常は $n = 1.2 \sim 1.3$ )、オン／オフ比を充分取ろうとすると $V_T$ は実用上0.5～0.6V以下には設定できない。このため従来の動作方法では0.5V前後の低電圧動作は、実用的には全く実現することができない。

本発明の目的は電源電圧が0.5V程度であっても、充分小さなオフ電流と、比較的大きなオン電流とが同時に実現できるMISトランジスタの動作方法と、この動作方法に適した構造及びその製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明のMISトランジスタの動作方法は電気

的接続されたゲートと基板を入力端子とし、ソース及びドレンを出力端子あるいは信号伝達端子とするか、又は電源に接続することを特徴とする。本発明のMISトランジスタはソース、ドレン領域の直下に絶縁層を有し、半導体基板がこの絶縁層にかこまれながら下方に延びて側方に広がっており、さらに基板全体が絶縁層にかこまれ、ゲート5と該半導体基板とが、アクティブ領域の外で電気的に接続されていることを特徴としている。

〔作用・効果〕

次に本発明の原理を説明する。第1図は本発明のトランジスタによる典型的な動作方法である。ここでnMOSのゲートと基板とは電気的に接続され入力端子3を形成している。閾電圧は一般に次式で与えられる。

$$V_T = a + b\sqrt{2\phi_b - V_{sub}}$$

ここでa、bは定数、 $\phi_b$ は基板のフェルミレベル、 $V_{sub}$ は基板電位である。通常のシリコンゲートMOSトランジスタではa=0である。又、b>0である。

本発明のMOSトランジスタの入力端子3に0電位を加えたとき、 $V_{sub} = 0$ となるのでこのときの $V_T$ は $b\sqrt{2\phi_b} \geq 0$ となり、基板電位、ゲート酸化膜厚を適当な値に設定すれば、このときの

チャネル電流を充分小さくできる。たとえば  $V_t = 0.4 \text{ V}$  とすると約  $10^{-12} \text{ A} / \mu\text{m}$  程度になる。一方入力端子 3 に  $2\phi_b$  を越えない正の電位  $V_i$  を与えたとき

$$V_{sub} = V_i \text{ となるので, } V_t = b\sqrt{2\phi_b - V_i} \leq b\sqrt{2\phi_b} \text{ となり, } V_t \text{ は } 0 \text{ に近づく。}$$

もし  $V_i > b\sqrt{2\phi_b - V_t}$  となる様に  $b$  及び  $V_i$  を設定すればオン電流は比較的大きな値とすることができます。このとき基板とソース 2 とは順方向にバイアスされるが、 $V_i$  は  $2\phi_b$  を越えることはないので順方向電流はほとんど無視することができます。この様に本発明のトランジスタを動作させるときには、電源電圧が  $0.5 \text{ V}$  程度であっても比較的大きな駆動能力と充分小さなオフ電流とを同時に実現できる。

この様な動作を LSI で実現するためには基板が各トランジスタ毎に独立している必要がある。

この様な動作を実現するためには基板が各トランジスタ毎に独立している必要がある。

これは、いわゆる通常の SOI 基板にトランジス

トレンインの直下は絶縁層なので寄生容量も小さく高速動作が可能となる。

#### 〔実施例〕

次に本発明の典型的な製造工程を第 4 図(a)～(f)に示す。

以下の説明では説明の便宜上第 4 図(a)～(f)についてロチャネル MOS トランジスタを仮定する。第 4 図(a)は  $\text{SiO}_2$  基板 23 にドライエッティング法により深さ  $1 \mu\text{m}$ 、巾  $5 \mu\text{m}$  のみぞ  $b$  を掘った状態である。第 4 図(b)において、ポリシリコンを CVD 法により  $1 \mu\text{m}$  堆積した後、ストリップヒータ法で単結晶化し、 $10^{15} / \text{cm}^2$  のボロンをイオン注入し、レジストを塗布しエッチバックにより  $\text{SiO}_2$  基板 23 の表面を露出させ、その後 CVD  $\text{SiO}_2$  膜を  $1 \mu\text{m}$  堆積する。このとき先のみぞ  $b$  に単結晶シリコン 24 がうめこまれている。次に第 4 図(c)に示すようにみぞ  $b$  の上に  $\text{SiO}_2$  基板 23 をよりせまい巾でエッチオフし、選択的エピタキシャル法により単結晶シリコン 25 を成長させる。このときエピタキシャル成長した単結晶シリコン 25 の膜にはボロ

タを形成することで達成できる。すなわち、SOI 基板で MOSFET を作成するとき、通常はチャネルが形成されるべき基板は電気的に浮遊している。しかし基板をゲート巾方向に延長し、通常の方法でコンタクトを取りゲートと金属配線によって結ぶことによってゲートと基板は接続され、かつ他の MOSFET とは完全に分離される。従って本発明の動作が可能となる。

次に第 2 図に本発明の動作に適した本発明の MIS トランジスタの構造を示す。

第 3 図は第 2 図の I-I' 裁断面図である。これからわかる様に本発明トランジスタの構造ではチャネルが形成される領域の半導体基板 16 の下に半導体基板 15 と同 14 が順に重なっておりこれらは絶縁基板 13 で囲まれている。又半導体基板 14 はチャネル巾方向に延びており、アクティブ領域の外側でゲート 18 とメタル 20 によって電気的に接続されている。従って本発明のトランジスタを動作させる場合、比較的巾の広い半導体基板 14 のために基板 16 への寄生抵抗は充分小さくでき、又ソース・

ドレインの流れをコントロールする。第 4 図(d)において、さらにポリシリコンを  $1 \mu\text{m}$  堆積し、レーザーアニール法で単結晶化させた後、アクティブ領域 26 のみを残してエッチオフし、ゲート酸化膜 27 を成長させ、必要なチャネルドープを施す。第 4 図(e)は  $\text{SiO}_2$  基板 24 がアクティブ領域 26 の外側に延びた部分の上に乗っている  $\text{SiO}_2$  をエッチングした後、ゲート酸化膜を成長させ、その後ポリシリコングート 28 を形成し、ソース・ドレイン用のヒ素をイオン注入した状態である。先の  $\text{SiO}_2$  基板 24 がアクティブ領域 26 の外に延びた部分の上には、ゲート酸化膜厚程度の酸化膜をはさんでポリシリコングート 28 の延長部分が乗ることになる。第 4 図(f)において、層内絶縁用の CVD  $\text{SiO}_2$  を堆積した後、先ず先のゲート延長部分に於て、ドライエッティングによって、下の  $\text{SiO}_2$  基板 24 の延長部分の表面が露出するまで全ての  $\text{Si}$  と  $\text{SiO}_2$  を除去した後、他のコンタクトホール（ソース及びドレイン等用）をあけて金属配線 30 を施す。なお先の延長部分では第 3 図に示す様

な形状でポリシリコンゲートと半導体基板14はコンタクトされる。この第4図(1)が本発明のMISトランジスタの典型的な構造の1例であり第4図(2)～(6)で説明した方法が、本発明の典型的な製造方法の1例である。

このnチャネルMOSトランジスタと同様にして作られたpチャネルMOSトランジスタとを用いてインバータを形成した時等第5図中、31はpMOSトランジスタ回路図を第5図に示す。

32はNMOSトランジスタ、33は電源、34はアース、35は入力、36は出力を示している。

本発明のMISトランジスタは電気的に接続されたゲートと基板を入力端子とし、ソース及びドレインを出力端子あるいは信号伝達端子又は電源端子に用いて動作させる。

#### 〔発明の効果〕

本発明の動作方法によれば、電源電圧が0.5V程度と非常に低い場合に於ても、オフ電流は小さくかつ高い駆動能力を容易に実現でき、極めて高速性と低電力を両立させる。

13. 23……絶縁(SiO<sub>2</sub>)基板、14. 24……半導体基板(単結晶シリコン)、15. 25……半導体基板(単結晶シリコン)、16. 26……半導体基板(アクティブ領域)、17. 27……ゲート絶縁膜、18. 28……ポリシリコンゲート、29……層間絶縁膜、20. 30……メタル配線、31……pMOSトランジスタ、32……NMOSトランジスタ、33……電源端子、34……アース、35……入力端子、36……出力端子。

特許出願人 日本電気株式会社

代理人 弁理士 内原 音

ことができる。又本発明の構造によれば、基板にかかる寄生抵抗をごく小さくすることができ、高速動作が実現できると共にゲートと基板を電気的に接続する領域がゲートへの通常のコンタクトに必要とされる面積の中に入ってしまうため、集積度の劣化もない。

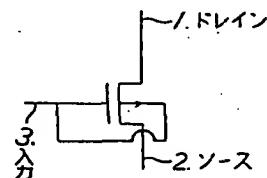
さらに本発明の製造方法によれば本発明の構造を作る上で、半導体基板の主要な3つの部分の不純物濃度を独立にコントロールすることができ、各自最適な値にセットすることが可能となる。

#### 4. 図面の簡単な説明

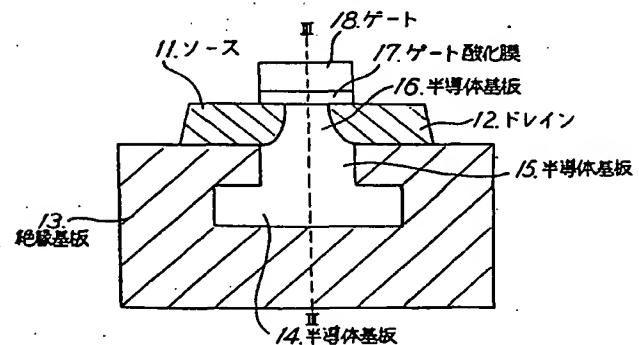
第1図は本発明トランジスタの動作原理を示す図、第2図は本発明の構造のトランジスタの断面図、第3図は第2図のI—I線断面図、第4図(1)～(6)は本発明の実施例につき製造工程順に示した図、第5図は本発明の典型的実施例を示した図、第6図は従来の動作方法を示した図である。

1……ドレイン、2……ソース、3……基板、11. 21……ソース、12. 22……ドレイン、

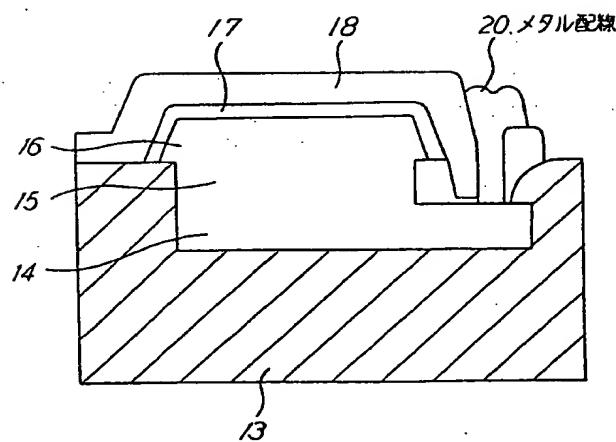
第1図



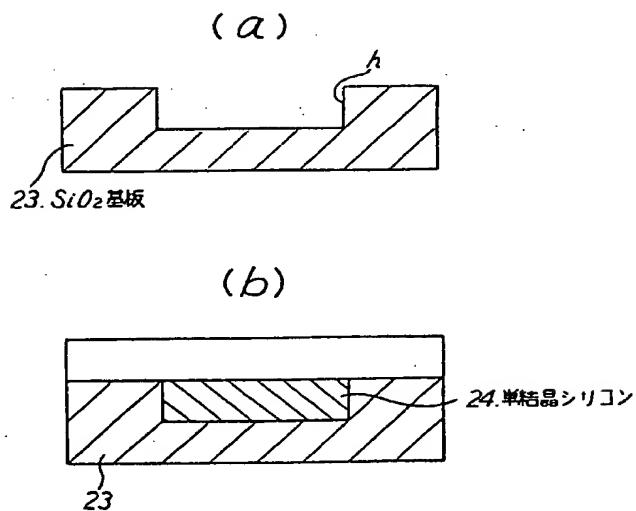
第2図



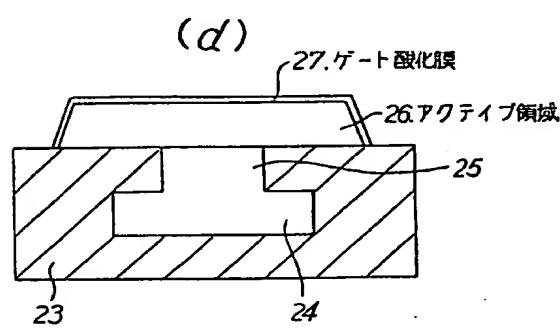
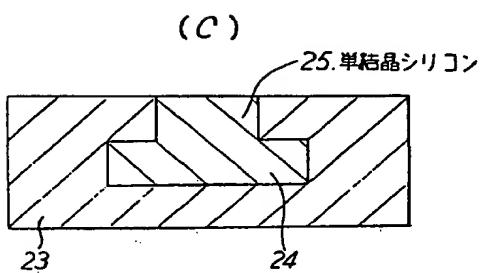
第3図



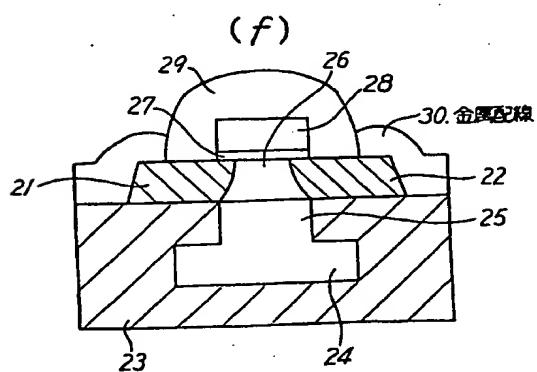
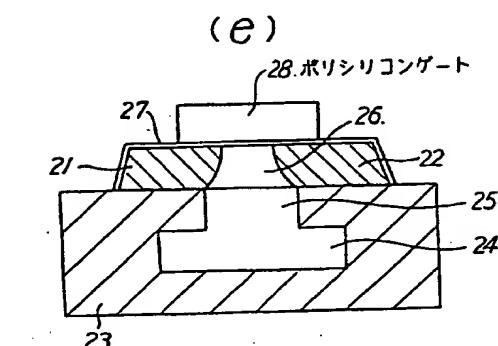
第4図



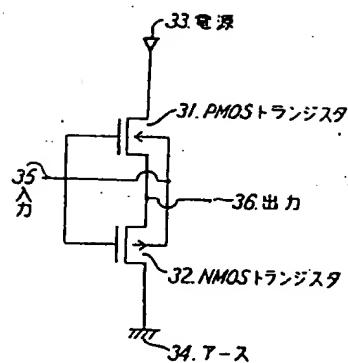
第4図



第4図



第5図



第6図

